

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月15日

6 6 8 Z
F
T

(74)代理人 弁理士 前田 弘 (外2名)

[illegible]

【特許請求の範囲】

【請求項1】 LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション装置であって、

対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定手段と、

前記セル遅延劣化推定手段によって推定された各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段とを備え、

前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションすることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項2】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータによって求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成装置を備えていることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項3】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

劣化前の前記LSIにおける各回路セルの遅延を推定する遅延計算機を備え、

前記遅延計算機によって推定された劣化前の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化前の動作をシミュレーションすることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項4】 請求項3記載のLSIのタイミング劣化シミュレーション装置において、

前記LSIタイミング劣化推定手段は、前記遅延計算機内に設けられていることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項5】 請求項3記載のLSIのタイミング劣化シミュレーション装置において、

前記セル遅延劣化推定手段およびLSIタイミング劣化推定手段は、ともに前記遅延計算機内に設けられていることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項6】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項7】 請求項6記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とを用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項8】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

20 【請求項9】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項10】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

30 【請求項11】 請求項6記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項12】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの、少なくともセットアップ時間とホールド時間を含むタイミングチェック値の、所定の動作条件に対する依存性を表すものであり、

当該LSIのタイミング劣化シミュレーション装置は、対象とするLSIを構成する回路セルのタイミングチェック値の劣化度合を、前記信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するタイミングチェック値劣化推定手段を備え、かつ、

50 前記LSIタイミング劣化推定手段は、前記タイミングチェック値劣化推定手段によって推定された前記回路セ

3

ルのタイミングチェック値の劣化度合に基づいて、経時的に劣化した前記LSIにおける前記回路セルのタイミングチェック値を推定するものであり、

前記LSIタイミング劣化推定手段によって推定された前記回路セルのタイミングチェック値に基づいて、劣化後の前記LSIにおいて前記回路セルが正常動作するかどうかを推定することを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項13】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、前記信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性をテーブル形式で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項14】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、前記信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性を関数で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項15】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、前記信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値と劣化後の特性値との差分で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との差分で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項16】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、前記信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値に対する劣化後の特性値の比で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との比で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項17】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、前記セル遅延劣化推定手段は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号パスを単位として、遅延劣化度合を推定するものであり、前記LSIタイミング劣化推定手段は、前記セル遅延劣化推定手段によって推定された信号パスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号パスの遅延を推定するものであり、当該LSIのタイミング劣化シミュレーション装置は、前記LSIタイミング劣化推定手段によって推定され

4

た、劣化後の前記LSIにおける前記信号パスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項18】 LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション方法であって、

10 対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定工程と、

前記セル遅延劣化推定工程において推定した各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定工程と、

20 前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするシミュレーション工程とを備えていることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項19】 請求項18記載のLSIのタイミング劣化シミュレーション方法において、各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータを駆動して求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成工程を備えていることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項20】 請求項18記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

40 【請求項21】 請求項20記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とを用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項22】 請求項21記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝

搬送遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項23】 請求項21記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項24】 請求項21記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項25】 請求項20記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項26】 請求項18記載のLSIのタイミング劣化シミュレーション方法において、前記セル遅延劣化推定工程は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号パスを単位として、遅延劣化度合を推定するものであり、前記LSIタイミング劣化推定工程は、前記セル遅延劣化推定工程において推定した信号パスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号パスの遅延を推定するものであり、前記シミュレーション工程は、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける前記信号パスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ホットキャリア現象などに起因するLSIの経時的な特性劣化を予測し、LSIのタイミングシミュレーションに反映させる技術に関するものである。

【0002】

【従来の技術】半導体集積回路（以下LSIと略す）には寿命があり、ある期間動作した後に故障や動作不良を起こす。LSIの故障や動作不良の主な原因としては、ホットキャリア現象に起因する特性劣化やエレクトロマイグレーションによる配線の断線などがある。特にホットキャリア現象は、トランジスタの駆動能力を劣化せしめ、これによりLSIの動作タイミングが時間の経過と

ともに変化し、いずれ誤動作に至る。

【0003】近年のLSIにおいては、製造技術の発達とともにデバイスの微細化が急速に進み、デバイス内に生じる高電界によって高エネルギー電子であるホットキャリアが生じやすくなっており、ホットキャリア現象に対する信頼性確保がますます難しくなっている。

【0004】LSIの信頼性確保のためには、例えば、一定期間の動作を保証すべく、動作タイミングの経時的変化に対して十分な余裕を設けるために、全回路の動作タイミングに一律に適当なマージンを含ませる方法が考えられる。ところがこの方法では、最悪の場合を考えてマージンを設定するために、LSIとしては過剰な仕様に陥りやすい。通常、LSIの信頼性と性能とはトレードオフの関係にあり、過剰な信頼性を持たせることはLSIの性能を低下させる結果になる。したがって、このような方法では高性能なLSIを開発することは困難であった。

【0005】またこのような問題を解決すべく、従来から次のような方法も用いられてきている。すなわち、LSIを構成する回路単位である回路セル（例えば特定用途向け集積回路（ASIC）に用いられるスタンダードセルライブラリに属する、インバータなどのセル）毎に、LSIの動作時における所定の動作条件の値を調べ、各回路セルについて、調べた動作条件の値が、劣化量や寿命があらかじめ定めた目標値を満たすために必要な範囲にあるか否かを検証する。そして、劣化量や寿命が目標値を満たさない回路セルをLSIの信頼性の面で問題のある回路セルと認識し、設計変更などの対策をとる。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来の方法では、LSIを構成する各回路セルについて劣化量や寿命の検証を行っているのみであり、LSI全体としては、信頼性に対して過剰な仕様になる場合が多い。この点について説明する。

【0007】LSIは通常、所定の動作周波数に従って動作する。言い換えると、この所定の動作周波数から決まる所定の周期がLSIにおける処理時間の単位となる。一方、LSIでは、信号は、この所定の周期の間にいくつかの回路セルからなる信号パスを流れる。このとき、信号パスにおける信号伝搬遅延が劣化によって長くなり、所定の周期を越えてしまうと、LSIの動作タイミングがおかしくなり、誤動作が生じることになる。逆に言うと、信号パスにおける信号伝搬遅延が劣化によって長くなっても所定の周期を越えなければ、LSIの動作タイミングは正常のままであり、誤動作は生じない。

【0008】ここで、信号パスA、Bを想定し、信号パスAにおける信号伝搬遅延は所定の周期とほぼ同じ（すなわち遅延劣化に弱い）であり、一方、信号パスBにおける信号伝搬遅延は所定の周期に比べてかなり小さい

10

20

30

40

50

(すなわち遅延劣化に強い)ものとする。さらに、信号パスA、Bはともに同じ動作条件の値の回路セルを含んでおり、かつその動作条件の値が、劣化量や寿命が目標を満たすために必要な範囲にないものとする。

【0009】このとき、前記従来の方法によると、信号パスAに含まれる回路セルも、信号パスBに含まれる回路セルも、ともにLSIの信頼性の面で問題となる回路セルと認識されてしまい、設計変更などの対象となってしまう。ところが実際には、遅延劣化に弱い信号パスAに含まれるこの回路セルはLSIの信頼性の面で問題とすべきであるが、遅延劣化に強い信号パスBに含まれるこの回路セルは、LSIの信頼性の面では問題なしと判断するのが妥当である。

【0010】このように、回路セルがLSIの信頼性の面からみて問題となるか否かは、たとえ同じ動作条件であっても、個々の回路セルによって異なる。各回路セルに対して許容される劣化量や寿命の範囲は、LSIの信号の流れにおけるその回路セルの位置づけによって異なるからである。

【0011】前記の問題に鑑み、本発明は、LSIの設計において信頼性に対する過剰な仕様を回避すべく、実際のLSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションする装置および方法を提供することを課題とする。

【0012】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた解決手段は、LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション装置として、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定手段と、前記セル遅延劣化推定手段によって推定された各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段とを備え、前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものとする。

【0013】請求項1の発明によると、セル遅延劣化推定手段によって、対象とするLSIを構成する各回路セルの遅延劣化度合が推定される。このとき、前記セル遅延劣化推定手段は、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定を行うので、前記LSIの実際の動作が反映された、各回路セルの遅延劣

化度合が得られる。この回路セルの遅延劣化度合に基づいて、LSIタイミング劣化推定手段によって、経時的に劣化した前記LSIにおける各回路セルの遅延が推定される。そして、この劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作がシミュレーションされる。このためシミュレーションによって、LSIの各信号パスのタイミングの劣化が実際の動作に即して精度良く表現されることになる。したがって、LSIの設計において、LSIの経時的劣化が予測できないことに起因する信頼性に対する過剰な仕様を回避することができ、信頼性および性能の双方の面で適切なLSIの設計を行うことができる。

【0014】そして、請求項2の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置は、各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータによって求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成装置を備えているものとする。

【0015】また、請求項3の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置は、劣化前の前記LSIにおける各回路セルの遅延を推定する遅延計算機を備え、前記遅延計算機によって推定された劣化前の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化前の動作をシミュレーションするものとする。

【0016】そして、請求項4の発明では、前記請求項3のLSIのタイミング劣化シミュレーション装置におけるLSIタイミング劣化推定手段は、前記遅延計算機内に設けられているものとする。

【0017】さらに、請求項5の発明では、前記請求項3のLSIのタイミング劣化シミュレーション装置におけるセル遅延劣化推定手段およびLSIタイミング劣化推定手段は、ともに前記遅延計算機内に設けられているものとする。

【0018】また、請求項6の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものとする。

【0019】そして、請求項7の発明では、前記請求項6のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とを用いるものとする。

【0020】さらに、請求項8の発明では、前記請求項7のLSIのタイミング劣化シミュレーション装置にお

10

20

30

40

50

ける信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものとする。

【0021】また、請求項9の発明では、前記請求項7のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものとする。

【0022】また、請求項10の発明では、前記請求項7のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものとする。

【0023】そして、請求項11の発明では、前記請求項6のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものとする。

【0024】また、請求項12の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの、少なくともセットアップ時間とホールド時間を含むタイミングチェック値の、所定の動作条件に対する依存性を表すものであり、当該LSIのタイミング劣化シミュレーション装置は、対象とするLSIを構成する回路セルのタイミングチェック値の劣化度合を、前記信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するタイミングチェック値劣化推定手段を備え、かつ、前記LSIタイミング劣化推定手段は、前記タイミングチェック値劣化推定手段によって推定された前記回路セルのタイミングチェック値の劣化度合に基づいて、経時的に劣化した前記LSIにおける前記回路セルのタイミングチェック値を推定するものとし、前記LSIタイミング劣化推定手段によって推定された前記回路セルのタイミングチェック値に基づいて、劣化後の前記LSIにおいて前記回路セルが正常動作するか否かを推定するものとする。

【0025】また、請求項13の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性をテーブル形式で表すものとする。

【0026】また、請求項14の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性を関数で表すものとする。

【0027】ことを特徴とするLSIのタイミング劣化シミュレーション装置。

【0028】また、請求項15の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置にお

ける信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値と劣化後の特性値との差分で表すものとし、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との差分で表すものとする。

【0029】また、請求項16の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値に対する劣化後の特性値の比で表すものとし、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との比で表すものとする。

【0030】さらに、請求項17の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置において、前記セル遅延劣化推定手段は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号パスを単位として、遅延劣化度合を推定するものとし、前記LSIタイミング劣化推定手段は、前記セル遅延劣化推定手段によって推定された信号パスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号パスの遅延を推定するものとし、当該LSIのタイミング劣化シミュレーション装置は、前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける前記信号パスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものとする。

【0031】また請求項18の発明が講じた解決手段は、LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション方法として、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定工程と、前記セル遅延劣化推定工程において推定した各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定工程と、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするシミュレーション工程とを備えているものである。

【0032】請求項18の発明によると、セル遅延劣化推定工程において、対象とするLSIを構成する各回路セルの遅延劣化度合を推定する。このとき、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定を行うので、前記LSIの実際の動作が反映さ

10

20

30

40

50

れた、各回路セルの遅延劣化度合が得られる。この回路セルの遅延劣化度合に基づいて、LSIタイミング劣化推定工程において、経時的に劣化した前記LSIにおける各回路セルの遅延を推定する。そして、この劣化後の前記LSIにおける各回路セルの遅延に基づいて、シミュレーション工程において、前記LSIの劣化後の動作をシミュレーションする。このためシミュレーションによって、LSIの各信号パスのタイミングの劣化が実際の動作に即して精度良く表現されることになる。したがって、LSIの設計において、LSIの経時的劣化が予測できないことに起因する信頼性に対する過剰な仕様を回避することができ、信頼性および性能の双方の面で適切なLSIの設計を行うことができる。

【0033】そして、請求項19の発明では、前記請求項18のLSIのタイミング劣化シミュレーション方法は、各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータを駆動して求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成工程を備えているものとする。

【0034】また、請求項20の発明では、前記請求項18のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものとする。

【0035】そして、請求項21の発明では、前記請求項20のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とを用いるものとする。

【0036】さらに、請求項22の発明では、前記請求項21のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものとする。

【0037】また、請求項23の発明では、前記請求項21のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものとする。

【0038】また、請求項24の発明では、前記請求項21のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものとする。

【0039】そして、請求項25の発明では、前記請求項20のLSIのタイミング劣化シミュレーション方法

における信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものとする。

【0040】また、請求項26の発明では、前記請求項18のLSIのタイミング劣化シミュレーション方法において、前記セル遅延劣化推定工程は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号パスを単位として、遅延劣化度合を推定するものとし、前記LSIタイミング劣化推定工程は、前記セル遅延劣化推定工程において推定した信号パスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号パスの遅延を推定するものとし、前記シミュレーション工程は、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける前記信号パスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものとする。

【0041】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。

【0042】（第1の実施形態）図1は本発明の第1の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図1に示すように、本実施形態に係るLSIのタイミング劣化シミュレーション装置は、回路信頼性シミュレータ4を駆動して、各回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリ6を生成する信頼性ライブラリ生成装置1と、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合（セル遅延劣化度合11）を、信頼性ライブラリ6を参照しつつ推定するセル遅延劣化推定手段2と、対象とするLSIにおける各回路セルの遅延を計算する遅延計算機12と、各回路セルの遅延を含むLSIタイミングを基にしてLSIの動作をシミュレーションする論理シミュレータ15とを備えている。遅延計算機12は、セル遅延劣化度合11に基づいて、経時的に劣化したLSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段18を備えている。論理シミュレータ15は、劣化前のLSIにおける各回路セルの遅延を含む劣化前LSIタイミング8を基にして、LSIの劣化前の動作をシミュレーションして劣化前結果10を生成する一方、劣化後のLSIにおける各回路セルの遅延を含む劣化後LSIタイミング14を基にして、LSIの劣化後の動作をシミュレーションして劣化後結果17を生成する。

【0043】図1に示す本実施形態に係るLSIのタイミング劣化シミュレーション装置の動作を説明する。

【0044】（信頼性ライブラリ生成工程）図2は回路セルの一般的な構成を概念的に示す図である。図2に示すように、ほとんどの場合、回路セル20は入力端子21、出力端子22、電源端子23および接地端子24を有する。セルネットリスト7には、種々の回路セルのネ

ットリストが格納されている。回路セルには、ASICのスタンダードセルライブラリに一般に準備されているインバータやNANDゲート、NORゲート、フリップフロップなどがある。また前記の汎用の回路セル以外にも、LSIを構成するために必要な回路セルを作り、これを信頼性ライブラリ6を生成する対象とすることもできる。セルネットリスト7に格納されたネットリストには、例えばSPICEフォーマットのものが用いられる。セルネットリスト7には各回路セル中のトランジスタのサイズや接続に関する情報、受動素子および寄生素子の値や接続に関する情報などが含まれている。プロセスパラメータ5にはSPICEパラメータや劣化を表すためのパラメータ、製造上のパラメータなどが格納されている。SPICEフォーマットおよびSPICEパラメータは、例えばMETA-SOFTWARE社発行のHSPICE USER'S MANUAL(1996年発行)に記載されている。

【0045】信頼性ライブラリ生成装置1は、対象とする回路セルの種類をまず決め、その回路セルのネットリストをセルネットリスト7から読み込む。そして回路信頼性シミュレータ4を駆動して、信頼性モデル3を参照しつつ、対象とする回路セルの入出力端子間の伝搬遅延の劣化度合の、所定の動作条件に対する依存性を求める。回路信頼性シミュレータ4は、プロセスパラメータ5を参照し、トランジスタの特性劣化をシミュレーションによって推定するものであり、例えばRobert H. Tuet al. "Berkeley Reliability Tools - BERT" (IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1993, P1524-1534)に記載されたものなどがある。

【0046】本実施形態では、所定の動作条件として、回路セルの出力負荷容量と、入力信号の立上り立下り時間とを用いるものとする。また、時間の経過に対する劣化度合の変化を推定するために、入力信号のスイッチング回数も動作条件とする。

【0047】また伝搬遅延の劣化度合を、劣化後の遅延と劣化前の遅延との差分で表わすことにする。図3はインバータの入力信号と出力信号の劣化前と劣化後における波形を簡易的に示した図である。図3において、実線は劣化前の信号波形、破線は劣化後の信号波形を示す。また、VDDは電源電位、GNDは接地電位を示す。図3に示すように、劣化前の遅延を t_1 とし、劣化後の遅延を t_2 とすると、式(1)に示すような劣化後遅延 t_2 と劣化前遅延 t_1 との差分 Δt によって、伝搬遅延の劣化度合を表わすことにする。この差分 Δt を遅延劣化量とよぶ。

$$\Delta t = t_2 - t_1 \quad \cdots (1)$$

【0048】信頼性ライブラリ生成装置1は、前記3つの動作条件の値をそれぞれある値に設定し、すでに読み込んだ、対象とする回路セルのネットリストの情報とともに回路信頼性シミュレータ4に渡し、回路信頼性シミ

ュレータ4を駆動する。回路信頼性シミュレータ4は、前記回路セルの各トランジスタの特性劣化度合を求める。信頼性ライブラリ生成装置1は回路信頼性シミュレータ4から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル3を参照しつつ、前記回路セルの遅延劣化量を求める。このような動作を、前記3つの動作条件の値を適切な範囲で変化させながら行うことにより、前記回路セルの遅延劣化量の前記3つの動作条件に対する依存性を求める。この遅延劣化量の動作条件依存性は関数やテーブルで表わされ、信頼性ライブラリ6に出力される。以上のような動作を、セルネットリスト7に格納された全種類の回路セルについて順次行っていく。

【0049】この結果、回路セルの特性劣化度合の、所定の動作条件に対する依存性を表す信頼性ライブラリ6が生成されることになる。本実施形態に係る信頼性ライブラリ6では、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合が用いられるとともに、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とが用いられる。

【0050】図4は本実施形態に係る信頼性ライブラリ6が有する、回路セルの遅延劣化量の動作条件依存性を表す情報を示す図であり、テーブルで表わした場合の一回路セルの一入出力端子間の遅延劣化量の動作条件依存性の例を示す図である。図4に示すように、3つの動作条件すなわち入力信号のスイッチング回数[回]、入力信号の立上り時間[nS]および出力負荷容量[fF]の各値に対して、遅延劣化量[nS]が表されている。

【0051】なお信頼性ライブラリ6において、図4に示すような情報を関数で表すことも可能である。この場合には、信頼性モデル3に未知数を含む関数の式を格納しておき、この関数が例えば図4のテーブルにおける各動作条件と遅延劣化量との関係に合うように、カーブフィッティングによりその未知数を決定すればよい。

【0052】遅延計算機12は、対象とするLSIを構成する各回路セルの接続情報が記述されたLSIネットリスト9と、各回路セルの遅延の所定の動作条件に対する依存性が記述された遅延ライブラリ13とを読み込み、前記LSIを構成する全回路セルの遅延を計算する。

【0053】LSIネットリスト9は、DSPF (Detailed Standard Parasitic File、例えばCadence Design Systems, Inc.のCadence Standard Parasitic Format(1993)P. 8-20に記載)などの書式で記述される。なお高精度化のためには、LSIネットリスト9には、回路セル間の配線の寄生容量や寄生抵抗などの寄生素子情報も含めて記述されているのが望ましい。また遅延ライブラリ13には、所定の動作条件として、回路セルの出力負荷容量と入力信号の立上り立下り時間とが与えられてい

る。すなわち遅延ライブラリ13には、劣化していないときの、各回路セルの遅延の動作条件依存性が格納されている。

【0054】ここでは例として、図5に示す信号パスにおけるインバータ31の入出力端子間の伝搬遅延を計算する場合を考える。図5に示すような信号パスはLSIネットリスト9に記述されている。まずインバータ31の出力端子36につながっている負荷容量を求める。この場合、配線寄生素子34の容量とインバータ31の出力端子36に接続されたインバータ32の入力容量との和が負荷容量となる。次に入力端子35への入力信号の立上り立下り時間を求める。このためには、配線寄生素子33の容量とインバータ31の入力容量との和を負荷容量としたときの、2入力NANDゲート30の出力信号の立上り立下り時間を求めればよい。このようにして、インバータ31について出力負荷容量および入力信号立上り立下り時間が求まり、これらを基にして、遅延ライブラリ13を参照しつつ、インバータ31の入出力端子間の伝搬遅延を計算する。

【0055】遅延計算機12は、以上のような処理をLSIを構成する全回路セルについて行い、その結果を劣化前LSIタイミング8に出力する。劣化前LSIタイミング8はSDF (Standard Delay Format、例えばOpen Verilog International発行のStandard Delay Format Specification Version 3.0、1995に記載)などの書式で記述される。

【0056】入力ベクタ16は、LSIを論理シミュレーションさせるために必要となる、時系列に記述されたLSIの入力信号パターンである。論理シミュレータ15は、入力ベクタ16と劣化前LSIタイミング8とを読み込み、LSIの劣化前の動作タイミングを考慮した論理シミュレーションを実行し、このシミュレーション結果を劣化前結果10に出力する。

【0057】(セル遅延劣化推定工程)セル遅延劣化推定手段2は、対象とするLSIを構成する回路セルの中から、まず対象とする回路セルを決め、この回路セルについて、前記LSIの動作時における前記動作条件の値を抽出する。具体的には、LSIネットリスト9から出力負荷容量9aを、劣化前LSIタイミング8から入力信号の立上り立下り時間8aを、劣化前結果10から入力信号スイッチング回数10aを抽出する。

【0058】次に、信頼性ライブラリ6を参照しながら、抽出した動作条件の値に基づいて、対象とする回路セルの遅延劣化量を推定する。信頼性ライブラリ6において回路セルの遅延劣化量の動作条件依存性が関数によって表されている場合は、抽出した動作条件の値を関数に代入して、対象とする回路セルの遅延劣化量を求める。一方、信頼性ライブラリ6において回路セルの遅延劣化量の動作条件依存性がテーブルによって表されている場合は、抽出した動作条件の値に応じて適当に補間を

行い、対象とする回路セルの遅延劣化量を求めればよい。このような処理を、対象とするLSIを構成する全回路セルについて行った結果を、セル遅延劣化度合11として出力する。

【0059】(LSIタイミング劣化推定工程)遅延計算機12は、今度はLSIタイミング劣化推定手段18によって、LSIネットリスト9および遅延ライブラリ13に加えてセル遅延劣化度合11を読み込み、経時的に劣化した前記LSIにおける各回路セルの遅延を計算する。LSIネットリスト9および遅延ライブラリ13からは劣化前のLSIにおける各回路セルの遅延が求まるので、これに差分で表されたセル遅延劣化度合11を加える。この結果は、劣化後LSIタイミング14として出力される。劣化後LSIタイミング14も劣化前LSIタイミング8と同様に、SDFなどの書式で記述される。

【0060】論理シミュレータ15は、劣化前のLSIに対する場合と同様に、入力ベクタ16および劣化後LSIタイミング14を読み込み、LSIの劣化後の動作タイミングを考慮した論理シミュレーションを実行し、このシミュレーション結果を劣化後結果17として出力する。

【0061】このように本実施形態によると、信頼性ライブラリ6を参照して、対象とするLSIの回路セルの遅延劣化度合を個々に求め、この各回路セルの遅延劣化度合に基づいて、経時的に劣化したLSIにおける各回路セルの遅延を推定した上で、LSIの劣化後の動作のシミュレーションを行うので、LSIの実動作における信号パスの遅延劣化現象を考慮したシミュレーションを行うことができる。これにより、LSIの設計において、信頼性に対する過剰な仕様を回避することができる。

【0062】なお本実施形態では、回路セルの入力信号の立上り立下り時間は、前段の回路セルの出力負荷容量のみから求めるものとしたが、配線寄生抵抗により信号波形が変化する効果を取り込んで求めてもよい。この場合は、より高精度な入力信号の立上り立下り時間を得ることができる。

【0063】なお本実施形態では、信頼性モデル3は、回路セルの遅延劣化度合の動作条件依存性を表すための関数式を定義するものとして、信頼性ライブラリ生成装置1の外に構成されているが、これは、種々の関数式を準備しておき、信頼性ライブラリ生成装置1側で任意の関数式を選択できるようにしたものである。これに対して、装置の簡略化のために、信頼性モデル3を信頼性ライブラリ生成装置1の中に組み込んだ構成としてもよい。

【0064】また本実施形態では、回路セルとして入力-出力であるインバータを例にあげて説明したが、入力端子および出力端子のうち少なくとも一方が複数個あ

る回路セルについても、同様に遅延の劣化度合を推定することができる。なお、この場合には、各入力端子と各出力端子との間の遅延について、すなわち入力端子と出力端子の組み合わせの数の遅延について、劣化度合を推定する必要がある。

【0065】なお本実施形態では、セル遅延劣化度合 11 を推定するために、論理シミュレーションの結果である劣化前結果 10 から入力信号スイッチング回数 10a を抽出して用いたが、この場合、例えば 10 年間の動作後の劣化を推定しようとする、10 年分の動作を表わす入力ベクタ 16 を論理シミュレータ 15 に与えなければならないことになる。これは非現実的であり、実際には、入力ベクタ 16 によって一定期間の動作を表わし、劣化推定期間はこの一定期間の繰り返しとみなして入力信号スイッチング回数 10a を近似計算により求めればよい。入力ベクタ 16 が表す一定期間を T1、入力ベクタ 16 が表す一定期間 T1 内の入力信号スイッチング回数を N1、劣化推定期間を T2 とすると、次のような式に従って、劣化推定期間 T2 内の入力信号スイッチング回数 N2 を求めることができる。

$$N2 = (T2 / T1) \cdot N1 \quad \cdots (2)$$

【0066】また、一定期間 T1 内の動作を表わす入力ベクタ 16 によって論理シミュレーションを実行し、このときの劣化前結果 10 から入力信号スイッチング確率 P を抽出し、動作周波数 f および劣化推定期間 T2 から、次のような式に従って、劣化推定期間 T2 内の入力信号スイッチング回数 N2 を求めてもよい。

$$N2 = T2 \cdot f \cdot P \quad \cdots (3)$$

【0067】なお本実施形態では、セル遅延劣化推定手段 2 は配線容量とセルの入力容量との和である出力負荷容量 9a を LSI ネットリスト 9 から抽出するものとしたが、配線容量を LSI ネットリスト 9 から抽出するとともに、セルの入力容量を予め遅延ライブラリ 13 に格納しておき、この遅延ライブラリ 13 から抽出して、セル遅延劣化推定手段 2 が両者を足し合わせて出力負荷容量とする形態としてもよい。

【0068】なお本実施形態では、劣化前 LSI タイミング 8 および劣化後 LSI タイミング 14 は回路セルのみの遅延を含むものとしていたが、回路セル間の配線遅延も含む形態としてもよい。この場合、遅延計算機 12 が、LSI ネットリスト 9 から配線抵抗や配線容量などの寄生素子の情報を読み出すとともに、遅延ライブラリ 13 から出力端子の駆動特性（例えば出力インピーダンスや出力電流）を読み出し、両者から回路セルの出力端子に接続されている配線の遅延を計算し、劣化前 LSI タイミング 8 または劣化後 LSI タイミング 14 に出力するものとすればよい。これにより、さらなる論理シミュレーションの高精度化を達成することができる。

【0069】また、信頼性ライブラリ 6 に回路セルの出力端子の駆動特性変化量の動作条件依存性をも持たせ、

セル遅延劣化推定手段 2 および LSI タイミング劣化推定手段 18 が遅延劣化量の計算と同様に駆動特性劣化量を計算し、劣化後の駆動特性に基づいて配線遅延を求め、劣化後 LSI タイミング 14 に出力することによって、劣化後の回路セルの特性変化により配線遅延が変化する効果も考慮することができる。

【0070】なお、回路セルは CMOS の場合、N 型 MOS トランジスタおよび P 型 MOS トランジスタから構成されるが、ホットキャリア劣化については N 型において顕著であり、P 型でも生じるが N 型に比べて一般的にかなり少ない。そこで、劣化は N 型だけに生じると仮定して、回路信頼性シミュレータ 4 による解析を行ってもよい。

【0071】（第 2 の実施形態）図 6 は本発明の第 2 の実施形態に係る LSI のタイミング劣化シミュレーション装置の構成を示すブロック図である。図 6 において、図 1 に示す第 1 の実施形態に係る LSI のタイミング劣化シミュレーション装置と共通の構成要素には、図 1 と同一の符号を付している。

【0072】図 6 に示すように、本実施形態では、遅延計算機 12A は LSI タイミング劣化推定手段 18 を備えておらず、LSI タイミング劣化推定手段 18 は遅延計算機 12A と別に設けられている点が第 1 の実施形態と異なっている。LSI タイミング劣化推定手段 18 の機能自体は第 1 の実施形態と同様であり、セル遅延劣化推定手段 2 によって推定されたセル遅延劣化度合 11 を参照しつつ、劣化後 LSI タイミング 14 を求める。また、本実施形態に係る LSI のタイミング劣化シミュレーション装置全体の動作は第 1 の実施形態と同様であり、ここでは詳細な説明を省略する。

【0073】このように本実施形態によると、第 1 の実施形態と同様の効果が得られるのに加えて、遅延計算機 12A として従来のものを用いることができるという効果がある。

【0074】（第 3 の実施形態）図 7 は本発明の第 3 の実施形態に係る LSI のタイミング劣化シミュレーション装置の構成を示すブロック図である。図 7 において、図 1 に示す第 1 の実施形態に係る LSI のタイミング劣化シミュレーション装置と共通の構成要素には、図 1 と同一の符号を付している。

【0075】図 7 に示すように、本実施形態では、遅延計算機 12B は LSI タイミング劣化推定手段 18 に加えてセル遅延劣化推定手段 2 を有しており、遅延計算機 12B が信頼性ライブラリ 6 を直接参照しながら劣化後 LSI タイミング 14 を求める点が第 1 の実施形態と異なっている。本実施形態に係る LSI のタイミング劣化シミュレーション装置全体の動作は第 1 の実施形態と同様であり、ここでは詳細な説明を省略する。

【0076】このように本実施形態によると、第 1 の実施形態と同様の効果が得られるのに加えて、セル遅延劣

化推定手段 2 が遅延計算機 12B に内蔵されているので、全体の構成が簡易になる。

【0077】（第 4 の実施形態）本発明の第 4 の実施形態に係る LSI のタイミング劣化シミュレーション装置は、第 1 の実施形態と同様に図 1 に示すような構成からなるが、信頼性ライブラリ 6 が回路セルの出力信号の立上り立下り時間の劣化度合の所定の動作条件に対する依存性についても、情報を有している点が異なる。すなわち、本実施形態では、信頼性ライブラリ生成装置 1 は、回路セルの出力信号の立上り立下り時間の劣化度合について、所定の動作条件に対する依存性を、セルネットリスト 7 に基づいて回路信頼性シミュレータ 4 を駆動して求めるものである。

【0078】本実施形態に係る LSI のタイミング劣化シミュレーション装置の動作について説明する。ここでは、第 1 の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0079】図 8 はインバータの入力信号と出力信号の劣化前と劣化後とにおける波形を示す図である。図 8 において、実線は劣化前の信号波形、破線は劣化後の信号波形である。図 8 に示すように、インバータが劣化すると、入力端子と出力端子との間の伝搬遅延は t_1 から t_2 に変化する。さらに出力トランジスタの駆動能力が劣化するため、出力信号の立上り時間も t_{s1} から t_{s2} に変化する。なおここでは、出力信号の立上り時間は、出力信号電圧が電源電圧 V_{DD} の 10% から 90% まで変化する時間で表している。

【0080】そこで本実施形態では、信頼性ライブラリ 6 は、回路セルの出力信号の立上り立下り時間の劣化度合についても、回路セルの特性劣化度合として、所定の動作条件に対する依存性を表すものとする。所定の動作条件としては、第 1 の実施形態と同様に、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数とを用いる。また本実施形態では、伝搬遅延の劣化度合と同様に、回路セルの出力信号の立上り立下り時間の劣化度合を、次式のように、劣化後の立上り立下り時間 t_{s2} と劣化前の立上り立下り時間 t_{s1} との差分 Δt_s すなわち劣化量として表すものとする。

$$\Delta t_s = t_{s2} - t_{s1} \quad \cdots (4)$$

【0081】信頼性ライブラリ生成装置 1 は、遅延劣化量に加えて、出力信号の立上り立下り時間の劣化量について、所定の動作条件に対する依存性を、遅延劣化量の場合と同様にして求める。すなわち、前記の 3 つの動作条件の値をそれぞれある値に設定し、すでに読み込んだ、対象とする回路セルのネットリストの情報とともに回路信頼性シミュレータ 4 に渡し、回路信頼性シミュレータ 4 を駆動する。回路信頼性シミュレータ 4 は、前記回路セルの各トランジスタの特性劣化度合を求める。信頼性ライブラリ生成装置 1 は回路信頼性シミュレータ 4

から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル 3 を参照しつつ、前記回路セルの出力信号の立上り立下り時間の劣化量を求める。このような動作を、前記 3 つの動作条件の値を適切な範囲で変化させながら行うことにより、出力信号の立上り立下り時間の劣化量の前記 3 つの動作条件に対する依存性を求める。この出力信号の立上り立下り時間の劣化量の動作条件依存性は関数やテーブルで表され、信頼性ライブラリ 6 に出力される。以上のような動作を、セルネットリスト 7 に格納された全種類の回路セルについて順次行っていく。

【0082】図 9 は本実施形態に係る信頼性ライブラリ 6 が有する、回路セルの出力信号の立上り立下り時間の劣化量の動作条件依存性を表す情報を示す図であり、テーブルで表した場合の一回路セルの一出力端子における出力信号の立下り時間の劣化量の動作条件依存性の例を示す図である。図 9 に示すように、3 つの動作条件すなわち入力信号のスイッチング回数 [回]、入力信号の立上り時間 [ns] および出力負荷容量 [fF] の各値に対して、出力信号の立下り時間劣化量 [ns] が表されている。なお第 1 の実施形態と同様に、図 9 に示すような情報を関数で表すことも可能である。

【0083】セル遅延劣化推定手段 2 は、遅延劣化量および出力信号の立上り立下り時間の劣化量の動作条件依存性を表す信頼性ライブラリ 6 を参照しながら、対象とする回路セルの遅延劣化量を推定する。

【0084】ここでは例として、図 5 に示す信号パスにおけるインバータ 31 の遅延劣化量を推定するものとする。セル遅延劣化推定手段 2 は、まず対象とする回路セルすなわちインバータ 31 と、その入力端子 35 に接続されている前段の回路セル 30 とを特定し、その動作条件の値を抽出する。インバータ 31 および前段の回路セル 30 について、LSI ネットリスト 9 から出力負荷容量 9a を、劣化前 LSI タイミング 8 から入力信号立上り立下り時間 8a を、劣化前結果 10 から入力信号スイッチング回数 10a を、それぞれ抽出する。

【0085】次に、抽出した動作条件の値に基づき、信頼性ライブラリ 6 を参照しながら、まず前段の回路セル 30 の出力信号立上り立下り時間劣化量を計算する。この劣化量を、すでに抽出したインバータ 31 の入力信号立上り立下り時間に加えて、劣化後の入力信号立上り立下り時間とする。そしてインバータ 31 について、求めた劣化後入力信号立上り立下り時間と、すでに抽出した出力負荷容量 9a および入力信号スイッチング回数 10a とに基づいて、信頼性ライブラリ 6 を参照しながら、遅延劣化量を計算する。

【0086】このように本実施形態によると、回路セルの遅延劣化量を、遅延劣化量および出力信号の立上り立下り時間の劣化量の動作条件依存性を表す信頼性ライブラリを参照して、推定するので、劣化によって出力信号

波形が変化する現象も考慮したシミュレーションを実行することができる。したがって、劣化による出力信号波形の変化を考慮せず、遅延劣化量のみの動作条件依存性を表す信頼性ライブラリを参照して回路セルの遅延劣化量を推定する第 1 の実施形態に比べて、さらに高精度なシミュレーションが可能になる。

【0087】（第 5 の実施形態）本発明の第 5 の実施形態に係る L S I のタイミング劣化シミュレーション装置は、第 4 の実施形態と同様に、図 1 に示す構成において信頼性ライブラリ 6 が回路セルの出力信号波形の立上り立下り時間の劣化度合についての情報を有するものである。ただし本実施形態は、劣化度合を劣化前の特性値と劣化後の特性値との比で表すことを特徴とする。

【0088】すなわち、回路セルの遅延の劣化度合を劣化前遅延に対する劣化後遅延の比で表し、また回路セルの出力信号立上り立下り時間の劣化度合を、劣化前の出力信号立上り立下り時間に対する劣化後の出力信号立上り立下り時間の比で表すものとする。

【0089】本実施形態に係る L S I のタイミング劣化シミュレーション装置の動作について説明する。ここでは、第 4 の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0090】第 4 の実施形態では、式（1）、（4）に示すように、遅延の劣化度合も出力信号立上り立下り時間の劣化度合もともに差分で表現していた。本実施形態では、次のような式に示すように、遅延の劣化度合は、劣化前遅延 t_1 に対する劣化後遅延 t_2 の比 R によって表すものとし、出力信号立上り立下り時間の劣化度合は、劣化前の出力信号立上り立下り時間 t_{s1} に対する劣化後の出力信号立上り立下り時間 t_{s2} の比 R_s によって表すものとする。

$$R = t_2 / t_1 \quad \cdots (5)$$

$$R_s = t_{s2} / t_{s1} \quad \cdots (6)$$

【0091】信頼性ライブラリ生成装置 1 は、差分で表される遅延劣化度合を求める場合と同様に、比で表される遅延劣化度合を求める。すなわち、第 1 の実施形態と同様に、3 つの動作条件の値を適切な範囲で変化させながら、回路信頼性シミュレータ 4 を駆動して、対象とする回路セルの遅延の劣化比の前記 3 つの動作条件に対する依存性を求める。同様に、対象とする回路セルの出力信号立上り立下り時間の劣化比の前記 3 つの動作条件に対する依存性を求める。

【0092】図 10 は本実施形態に係る信頼性ライブラリ 6 が有する、回路セルの遅延劣化比の動作条件依存性を表す情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の遅延劣化比の動作条件依存性の例を示す図である。図 10 に示すように、3 つの動作条件すなわち入力信号のスイッチング回数 [回]、入力信号の立上り時間 [nS] および出力負荷容量 [fF] の各値に対して、遅延劣化比が表されている。出力信号

立上り立下り時間の劣化比の動作依存性についても、同様に表すことができる。なお第 1 の実施形態と同様に、図 10 に示すような情報を関数で表すことも可能である。

【0093】セル遅延劣化推定手段 2 は、遅延劣化比および出力信号の立上り立下り時間の劣化比の動作条件依存性を表す信頼性ライブラリ 6 を参照しながら、対象とする回路セルの遅延劣化比を推定する。

【0094】ここでは例として、図 5 に示す信号パスにおけるインバータ 31 の遅延劣化比を推定するものとする。セル遅延劣化推定手段 2 は、まず対象とする回路セルすなわちインバータ 31 と、その入力端子 35 に接続されている前段の回路セル 30 とを特定し、その動作条件の値を抽出する。インバータ 31 および前段の回路セル 30 について、L S I ネットリスト 9 から出力負荷容量 9 a を、劣化前 L S I タイミング 8 から入力信号立上り立下り時間 8 a を、劣化前結果 10 から入力信号スイッチング回数 10 a を、それぞれ抽出する。

【0095】次に、抽出した動作条件の値に基づき、信頼性ライブラリ 6 を参照しながら、まず前段の回路セル 30 の出力信号立上り立下り時間劣化比を計算する。この劣化比を、すでに抽出したインバータ 31 の入力信号立上り立下り時間に掛けて、劣化後の入力信号立上り立下り時間とする。そしてインバータ 31 について、求めた劣化後の入力信号立上り立下り時間と、すでに抽出した出力負荷容量 9 a および入力信号スイッチング回数 10 a とに基づいて、信頼性ライブラリ 6 を参照しながら、遅延劣化比を計算する。

【0096】L S I タイミング劣化推定手段 18 は、L S I ネットリスト 9 および遅延ライブラリ 13 並びに遅延劣化比で表されたセル遅延劣化度合 11 を読み込み、経時的に劣化した L S I における各回路セルの遅延を計算する。L S I ネットリスト 9 および遅延ライブラリ 13 から劣化前の L S I における遅延が求まるので、これに比で表現されたセル遅延劣化度合 11 を掛け合わせる。この結果は、劣化後 L S I タイミング 14 として出力される。この劣化後 L S I タイミング 14 も、劣化前 L S I タイミング 8 と同様に S D F などの書式で記述される。

【0097】このように本実施形態によると、セル遅延劣化度合 11 において、遅延劣化度合が比という相対的な情報によって表現されるので、例えば遅延ライブラリ 13 と信頼性ライブラリ 6 とが互いに異なるプロセスパラメータを用いて生成されているような場合であっても、精度良くシミュレーションを行うことができる。

【0098】（第 6 の実施形態）図 11 は本発明の第 6 の実施形態に係る L S I のタイミング劣化シミュレーション装置の構成を示す図である。本実施形態に係る L S I のタイミング劣化シミュレーション装置は、第 1 の実施形態と同様の構成からなるが、信頼性ライブラリ 6

が、回路セルに印加される電源電圧や温度に対する各回路セルの遅延劣化度合の依存性についての情報も有する点が異なる。すなわち、本実施形態では、信頼性ライブラリ生成装置1は、回路セルの信号伝搬遅延や出力信号の立上り立下り時間の劣化度合について、所定の動作条件に対する依存性を、種々の電源電圧や温度において、セルネットリスト7に基づいて回路信頼性シミュレータ4によって求めるものである。

【0099】本実施形態に係るLSIのタイミング劣化シミュレーション装置の動作について説明する。ここでは、第1の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0100】信頼性ライブラリ生成装置1は、回路セルに印加される電源電圧や温度の値を適当な範囲で変化させながら、それぞれの電源電圧または温度において、第1の実施形態と同様に3つの動作条件を適切な範囲で変化させながら、遅延劣化量の動作条件依存性を求める。求められた遅延劣化量の電源電圧毎または温度毎の動作条件依存性は、関数やテーブルで表され、信頼性ライブラリ6に出力される。このような処理を回路セルの全種類について順次行っていく。

【0101】図12は本実施形態に係る信頼性ライブラリ6が有する回路セルの遅延劣化度合についての情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の遅延劣化量の電源電圧毎の動作条件依存性の例を示す図である。

【0102】セル遅延劣化推定手段2は、所定の電源電圧61が与えられると、図12に示すような信頼性ライブラリ6が有する情報に基づいて、補間などの手法によってその電源電圧61における遅延劣化量の動作条件依存性を表すテーブルまたは関数式を生成する。これ以降の処理は第1の実施形態と同様である。ただし、遅延ライブラリ13は、前記所定の電源電圧61についてあらかじめ生成されている必要がある。

【0103】また図13は本実施形態に係る信頼性ライブラリ6が有する回路セルの遅延劣化度合についての情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の遅延劣化量の温度毎の動作条件依存性の例を示す図である。

【0104】セル遅延劣化推定手段2は、所定の温度62が与えられると、図13に示すような信頼性ライブラリ6が有する情報に基づいて、補間などの手法によってその温度62における遅延劣化量の動作条件依存性を表すテーブルまたは関数式を生成する。これ以降の処理は第1の実施形態と同様である。ただし、遅延ライブラリ13は、前記所定の温度62についてあらかじめ生成されている必要がある。

【0105】このように本実施形態によると、LSIの劣化の電源電圧や温度に対する依存性も考慮することができるので、劣化後のLSIの動作を動作電源電圧の範

囲や動作温度の範囲において、解析できるようになる。

【0106】なお、本実施形態では、LSIの劣化について、電源電圧に対する依存性と温度に対する依存性とを個別に考慮するものとしたが、両者を併せて考慮するようにしてもよい。この場合には、信頼性ライブラリ6において、図13に示すような情報を電源電圧毎に準備しておけばよい。また、所定の電源電圧または温度は、LSIに対してそれぞれ1つの値を設定してもかまわないし、種々の値の中から回路セル毎に1つずつ設定してもかまわない。

【0107】（第7の実施形態）本発明の第7の実施形態は、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化を求める場合に、他の入力端子への入力信号の立上り立下り時間およびスイッチング回数も参照して求めるものである。本発明の第7の実施形態に係るLSIのタイミング劣化シミュレーション装置は、第1の実施形態と同様に図1に示すような構成からなる。

【0108】回路セルとして図14に示すような2入力NANDゲートを考える。図14において、A、Bは入力端子、Yは出力端子である。図14に示す2入力NANDゲートのトランジスタレベルの回路図は、CMOSの場合は図15に示すようになる。

【0109】図14に示す2入力NANDゲートにおいて、入力端子Aと出力端子Yとの間の信号伝搬遅延の劣化は、入力端子Bへの入力信号（以下「入力信号B」という）のスイッチングの履歴に依存する。一方、入力端子Bと出力端子Yとの間の信号伝搬遅延の劣化は、入力端子Aへの入力信号（以下「入力信号A」という）のスイッチングの履歴に依存する。特に出力信号の立下り時には、電流は、図15におけるN型MOSトランジスタN1、N2が直列接続された部分を主に流れるため、信号伝搬遅延の劣化度合は、各N型MOSトランジスタN1、N2の劣化度合に影響される。

【0110】このため本実施形態では、信頼性ライブラリ生成装置1は、入力信号Aのスイッチング回数と入力信号Bのスイッチング回数とに対する依存性を考慮した、信頼性ライブラリ6を生成する。

【0111】図16は本実施形態に係る信頼性ライブラリ6が有する情報を示す図である。図16において、T_{is}は入力信号の立上り立下り時間、C_Iは出力負荷容量である。またtable n (T_{is}, C_I) (ただしn=1~9)は、入力信号Aのスイッチング回数をその上方に示す値にするとともに入力信号Bのスイッチング回数をその左方に示す値にして、入力信号の立上り立下り時間T_{is}と出力負荷容量C_Iを適当に変化させて作成した、入力端子Aと出力端子Yとの間の信号伝搬遅延の劣化度合を示すテーブルである。

【0112】セル遅延劣化推定手段2は劣化前結果10から入力信号スイッチング回数10aを抽出する。例え

ば入力信号スイッチング回数 10a において、入力信号 A のスイッチング回数が 10^{13} であり、入力信号 B のスイッチング回数が 10^{15} であるとする、セル遅延劣化推定手段 2 はテーブルとして table 7 を選択する。また、信頼性ライブラリ 6 にテーブルが準備されていないスイッチング回数が抽出された場合は、補間等によって、そのスイッチング回数についてのテーブルを求める。

【0113】このように本実施形態によると、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合を、他の入力端子における入力信号の立上り立下り時間およびスイッチング回数も考慮して求めることができ、第 1 の実施形態に比べて、シミュレーションの精度を向上させることができる。

【0114】なお本実施形態では、信頼性ライブラリ 6 において、情報はテーブル形式で表されるものとしたが、関数によって表されるものとしてもかまわない。

【0115】なお本実施形態では、入力端子 A、B において入力信号の立上り立下り時間が等しいという仮定の下に信頼性ライブラリ 6 にテーブルを準備したが、入力信号 A の立上り立下り時間と入力信号 B の立上り立下り時間とは異なるものとして、テーブルを準備してもよい。この場合には、table n (Tisa, Tisb, Cl) というように各テーブルの次元をさらに増やす必要がある。ここで、Tisa は入力信号 A の立上り立下り時間、Tisb は入力信号 B の立上り立下り時間である。

【0116】(第 8 の実施形態) 本発明の第 8 の実施形態は、回路セルの代わりに、クリティカルパスなどの複数の回路セルからなる信号パスを、遅延推定の単位とするものである。本発明の第 8 の実施形態に係る LSI のタイミング劣化シミュレーション装置は、第 1 の実施形態と同様に図 1 に示すような構成からなる。

【0117】図 17 は本実施形態において遅延推定の単位とする信号パスの一例である。図 17 に示す入力端子 A から出力端子 Y までの信号パス 50 は、直列接続された 4 段の回路セル 51、52、53、54 からなる。2 入力 NAND ゲート 51 は一方の入力端子が入力端子 A と接続されており、インバータ 52 は入力端子が 2 入力 NAND ゲート 51 の出力端子と接続されており、3 入力 NAND ゲート 53 は一の入力端子がインバータ 52 の出力端子と接続されており、インバータ 54 は入力端子が 3 入力 NAND ゲート 53 の出力端子と接続され、かつ出力端子が出力端子 Y と接続されている。

【0118】2 入力 NAND ゲート 51 や 3 入力 NAND ゲート 53 のように複数の入力端子を有する回路セルにおいて、注目する信号パス 50 とは関係のない端子 X1、X2、X3 には、信号が信号パス 50 に沿って流れていくようにその論理値を固定する。図 17 に示す信号

パス 50 では、端子 X1、X2、X3 の信号には論理値 “1” を固定しておく。

【0119】本実施形態では、図 17 に示すような信号パス 50 を、入力端子 A および出力端子 B を有する 1 つの回路セルとして扱うものとする。これ以外の点は第 1 の実施形態と同様である。

【0120】すなわち、セル遅延劣化推定手段 2 は、LSI を構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号パスを単位として、遅延劣化度合を推定し、LSI タイミング劣化推定手段 18 は、セル遅延劣化推定手段 2 によって推定された信号パスの遅延劣化度合を含むセル遅延劣化度合 11 に基づいて、経時的に劣化した LSI における前記信号パスの遅延を推定する。そして、劣化後の LSI における前記信号パスの遅延を含む劣化後 LSI タイミング 14 に基づいて、LSI の劣化後の動作がシミュレーションされる。ただし、LSI タイミング劣化推定手段 18 による処理において、LSI ネットリスト 9 とセル遅延劣化度合 11 とで対応がとれるように、LSI ネットリスト 9 に図 17 に示すような信号パスの定義情報を持たせておく必要がある。

【0121】このように本実施形態によると、クリティカルパスなどの複数段の回路セルからなる信号パスを遅延推定の単位として扱うので、LSI 中の全信号パスについて回路セルを単位として遅延を推定する第 1 の実施形態に比べて、簡易に実行でき、しかも全体の演算処理量を削減することができる。

【0122】なお本実施形態では、注目する信号パスと関係のない端子 X1、X2、X3 の信号は固定するものとしたが、その信号の実際のスイッチング回数を信号パスの遅延推定に反映させてもよい。

【0123】なお本実施形態では、信号パス 50 は最小単位の回路セルから構成されていたが、複数階層構造をもつものであってもよい。

【0124】(第 9 の実施形態) フリップフロップやラッチのようにデータを記憶する回路セルは、入力データ信号とこの入力データを取り込むためのクロック信号との位相関係や、入力データ信号およびクロック信号の有効期間などに応じて、正常動作したり誤動作したりする。このため、前記の位相関係や有効期間などについて回路セルが誤動作しない限界の値を予め決めておいて、LSI 内の回路セル毎に、前記の位相関係や有効期間が限界値を越えないかどうかを検査することを、たとえば論理シミュレータによって行う。予め決めておいた前記の位相関係や有効期間などの限界値のことを、タイミングチェック値 (timing constraints) という。

【0125】タイミングチェック値としては、セットアップ時間、ホールド時間、最小パルス幅、リカバリ時間、リムーバブル時間、リリース時間などがある。

【0126】例えばフリップフロップの場合、セットア

ップ時間は、クロック信号が有効になるどのくらい前に、入力データ信号が確定していなければならないか、を定めたものである。またホールド時間は、クロック信号が有効になってからどのくらい後まで、入力データ信号が保持されていないといけないか、を定めたものである。また最小パルス幅は、回路セルが正常動作可能である、クロック信号の有効期間（パルス幅）の最小値を表すものである。

【0127】このようなタイミングチェック値は、回路セル内の信号伝搬状態に依存するため、経時的劣化によって回路セル内のトランジスタ特性が劣化すれば、回路セル内の信号伝搬状態も変化するので、この変化に合わせてタイミングチェック値も変える必要がある。

【0128】本発明の第9の実施形態は、回路セルの遅延だけでなく、回路セルのタイミングチェック値についても劣化度合を推定し、推定した回路セルのタイミングチェック値の劣化度合に基づいて劣化後のタイミングチェック値を求めて、LSIの動作タイミングの検査を行うものである。

【0129】図18は本発明の第9の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図18に示すように、本実施形態に係るLSIのタイミング劣化シミュレーション装置は、信頼性ライブラリ6Aが有するタイミングチェック値の情報（タイミングチェック値6b）からタイミングチェック値劣化度合72を推定するタイミングチェック値劣化推定手段71を備えており、セル遅延劣化推定手段2およびタイミングチェック値劣化推定手段71によって劣化推定手段70が構成されている。信頼性ライブラリ6Aが有するセル遅延の情報（セル遅延6a）は、第1～第8の実施形態における信頼性ライブラリ6と同様の情報を有する。また遅延ライブラリ13Aは、セル遅延の情報（セル遅延13a）とタイミングチェック値の情報（タイミングチェック値13b）を備えており、セル遅延13aは第1～第8の実施形態における遅延ライブラリ13と同様の情報を有する。

【0130】まず、遅延ライブラリ13Aにおけるタイミングチェック値13bの生成について、説明する。ここではフリップフロップのセットアップ時間の場合を例にとって説明する。

【0131】クロック信号が有効になる時刻 t_c に対して、入力データ信号が有効になる時刻 t_d を時刻 t_c の前で適当な時間間隔でスイープして（すなわちクロック-入力データの位相差を変化させて）、入力データがフリップフロップに正しく取り込まれる限界の時間差（ $t_c - t_d$ ）をセットアップ時間として求める。

【0132】セットアップ時間のようなタイミングチェック値は、クロック信号および入力データ信号の立上り時間および立下り時間（セットアップ時間ではクロック信号が論理値“1”で有効になる回路セルの場合はクロ

ック信号については立下り時間は不要）、並びに回路セルの電源電圧および温度に影響を受けるので、これらを動作条件とし、各動作条件を適切な範囲で変化させながらタイミングチェック値を求めていき、全体として、タイミングチェック値の動作条件依存性を求める。通常は、遅延ライブラリ生成装置（図示せず）がSPICEなどの回路シミュレータ（図示せず、回路信頼性シミュレータ4とは異なるもの）を駆動して、前記のような解析を行う。

10 【0133】このようにして、遅延ライブラリ生成装置は、フリップフロップやラッチなどの回路セルについて、タイミングチェック値の動作条件依存性をそれぞれ求めていき、回路セルの遅延の動作条件依存性の情報とともに遅延ライブラリ13Aに出力する。

【0134】図19は遅延ライブラリ13Aのタイミングチェック値13bが持つ情報の一例であり、劣化前のフリップフロップのセットアップ時間の動作条件依存性の例を示す図である。図19において、Tisckはクロック信号の立上り時間、Tisdは入力データ信号の立上り時間である。なお図19では、電源電圧および温度は固定されているものとする。

【0135】次に、信頼性ライブラリ6Aにおけるタイミングチェック値6bの生成について、説明する。

【0136】タイミングチェック値の劣化度合は、クロック信号および入力データ信号の立上り時間および立下り時間、並びに回路セルの電源電圧および温度に加えて、クロック信号および入力データ信号のスイッチング回数の影響を受けるので、これらを動作条件として、各動作条件を適切な範囲で変化させながらタイミングチェック値を求めていき、全体として、タイミングチェック値の劣化度合の動作条件依存性を求める。

【0137】ここでは、タイミングチェック値の劣化度合を、次式に示すような、劣化後のタイミングチェック値 t_{t2} と劣化前のタイミングチェック値 t_{t1} との差分 Δt_t すなわちタイミングチェック値劣化量で表すものとする。

$$\Delta t_t = t_{t2} - t_{t1} \quad \cdots (7)$$

【0138】信頼性ライブラリ生成装置1Aは、各動作条件の値をそれぞれある値に設定し、すでに読み込ん

40 だ、対象とする回路セルのネットリスト7の情報とともに回路信頼性シミュレータ4に渡し、回路信頼性シミュレータ4を駆動する。回路信頼性シミュレータ4は前記回路セルの各トランジスタの特性劣化度合を求める。信頼性ライブラリ生成装置1Aは回路信頼性シミュレータ4から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル3を参照しつつ、前記回路セルのタイミングチェック値劣化量を求める。

【0139】フリップフロップのセットアップ時間の劣化量を例にとると、劣化前と劣化後についてそれぞれ、クロック信号が有効になる時刻 t_c に対して入力データ

信号が有効になる時刻 t_d を時刻 t_c の前で適当な時間間隔でスイープして、入力データがフリップフロップに正しく取り込まれる限界の時間差 ($t_c - t_d$) を、セットアップ時間として求める。劣化前の時間差と劣化後の時間差との差から、劣化量を求める。

【0140】このような動作を、各動作条件の値を適切な範囲で変化させながら行うことによって、前記回路セルのタイミングチェック値の劣化量の動作条件依存性が求まる。このタイミングチェック値劣化量の動作条件依存性は関数やテーブルで表され、信頼性ライブラリ6Aのタイミングチェック値6bに出力される。以上のような動作を、セルネットリスト7に格納された回路セルの中で必要なものについて、順次行っていく（タイミングチェック値が必要になるのは、フリップフロップやラッチなどの回路セルに限られるため）。

【0141】図20および図21は、信頼性ライブラリ6Aのタイミングチェック値6bが持つ情報の一例であり、フリップフロップのセットアップ時間の劣化量の動作条件依存性を表す情報を示す図である。図20において、Tisckはクロック信号の立上り立下り時間、Tisdは入力データ信号の立上り立下り時間である。またtable n (Tisck, Tisd) (ただし $n=1 \sim 9$) は、クロック信号のスイッチング回数をその上方に示す値にするとともに入力データ信号のスイッチング回数をその左方に示す値にして、クロック信号の立上り立下り時間Tisckと入力データ信号の立上り立下り時間Tisdを適当に変化させて作成した、セットアップ時間の劣化量を示すテーブルである。また図21において、(a)はtable 1の例を、(b)はtable 2の例を、それぞれ示している。ただし図20および図21では、電源電圧および温度は固定されているものとする。

【0142】タイミングチェック値劣化推定手段71は、信頼性ライブラリ6Aのタイミングチェック値6bから、タイミングチェック値劣化度合72を求める。

【0143】まず、劣化後のタイミングチェック値を求める必要がある回路セル（フリップフロップやラッチ）をLSIネットリスト9から抽出する。そして、抽出した全回路セルについて、以下のような手順でタイミングチェック値の劣化量を求める。

【0144】抽出した回路セルについて、劣化前LSIタイミング8に含まれる入力信号の立上り立下り時間8aを参照して、タイミングチェック値の劣化量を求めるために必要になる、クロック信号や入力データ信号などの立上り立下り時間を順次抽出する。また抽出した回路セルについて、劣化前結果10に含まれる入力信号のスイッチング回数10aを参照して、タイミングチェック値の劣化量を求めるために必要になる、クロック信号や入力データ信号などのスイッチング回数を順次抽出する。

【0145】次に、信頼性ライブラリ6Aのタイミング

チェック値6bすなわちタイミングチェック値劣化量の動作条件依存性を参照し、抽出した、クロック信号や入力データ信号などの立上り立下り時間およびスイッチング回数から、前記回路セルのタイミングチェック値の劣化量を求める。この場合、タイミングチェック値6bがテーブルで表されているときは、内挿などによって求める。求めた各回路セルのタイミングチェック値の劣化量はタイミングチェック値劣化度合72に出力される。

【0146】LSIタイミング劣化推定手段18Aは、劣化前のLSIにおけるタイミングチェック値である遅延ライブラリ13Aのタイミングチェック値13bに、差分で表されたタイミングチェック値劣化度合72を加えることによって、劣化後のLSIにおけるタイミングチェック値を求め、劣化後LSIタイミング14Aに出力する。

【0147】論理シミュレータ15Aは、LSI内のフリップフロップやラッチについて、劣化後におけるクロック信号や入力データ信号の変化を論理シミュレーションによって推定することができるので、劣化後のLSIにおいて回路セルが正常動作するか否かを、劣化後LSIタイミング14Aに含まれるタイミングチェック値に基づいて、検査する。

【0148】例えばフリップフロップについて、クロック信号が有効になる時刻 t_c と入力データ信号が有効になる時刻 t_d との時間差 ($t_c - t_d$) が、劣化前は3.0 [nS] であり、劣化後は劣化後LSIタイミング14Aに基づいて論理シミュレーションした結果、2.2 [nS] であったとする。またタイミングチェック値としてのセットアップ時間は、劣化前は2.1 [nS] であり、劣化後は2.5 [nS] であったとする。このとき、劣化前では、時間差 ($t_c - t_d$) はセットアップ時間よりも大きいので、フリップフロップは正常動作すると判断されるが、劣化後は時間差 ($t_c - t_d$) はセットアップ時間に対して0.3 [nS] (= 2.5 - 2.2) 足りないので、フリップフロップはタイミングチェックを満足せず、誤動作すると判断される。論理シミュレータ15Aはこのような判断結果を、劣化後結果17Aに出力する。

【0149】なお各実施形態において、LSIのタイミング劣化シミュレーション装置は信頼性ライブラリ生成装置1を備えている構成としたが、信頼性ライブラリ生成装置1.1Aは本発明において必ずしも必須の構成要素ではない。すなわち、予め作成された信頼性ライブラリ6.6Aを参照してLSIの劣化後の動作をシミュレーションする、LSIのタイミング劣化シミュレーション装置としても、本発明は実現可能である。

【0150】

【発明の効果】以上のように、本発明のLSIのタイミング劣化シミュレーション装置によれば、LSIを構成する回路セルのタイミング劣化を個々の回路セルの置か

10

20

30

40

50

れた動作条件で求め、さらにLSIの動作に応じた信号の流れで信号バスのタイミングの劣化現象がシミュレーションで扱えるようになるため、回路セル単位の寿命の検証のみを行う従来方法に比べ、過剰な設計マージンを含まずにすむという効果を有する。同時にLSI規模の大規模回路でのタイミング劣化のシミュレーションも実現する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図2】回路セルの一般的な構成を概念的に示す図である。

【図3】劣化前と劣化後とにおける、インバータの入力信号と出力信号の波形を示す図である。

【図4】本発明の第1の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図5】LSIの信号バスの一例を示す図である。

【図6】本発明の第2の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図7】本発明の第3の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図8】劣化前と劣化後とにおける、インバータの入力信号と出力信号の波形を示す図である。

【図9】本発明の第4の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図10】本発明の第5の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図11】本発明の第6の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図12】本発明の第6の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図13】本発明の第6の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図14】本発明の第7の実施形態における複数の入力端子を有する回路セルとしての、2入力NANDゲートを示す図である。

【図15】図14に示す2入力NANDゲートのトラン

ジスタレベルの回路図である。

【図16】本発明の第7の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図17】本発明の第8の実施形態において処理の単位とする、複数の回路セルからなる信号バスの一例を示す図である。

【図18】本発明の第9の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図19】本発明の第9の実施形態に係る遅延ライブラリが持つタイミングチェック値の情報の一例を示す図であり、劣化前のフリップフロップのセットアップ時間の動作条件依存性を表す情報を示す図である。

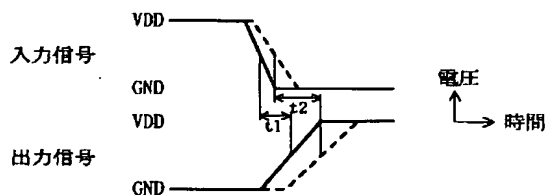
【図20】本発明の第9の実施形態に係る信頼性ライブラリが持つタイミングチェック値の情報の一例を示す図であり、フリップフロップのセットアップ時間の劣化量の動作条件依存性を表す情報を示す図である。

【図21】本発明の第9の実施形態に係る信頼性ライブラリが持つタイミングチェック値の情報の一例を示す図であり、(a)は図20におけるtable 1の例、(b)は図20におけるtable 2の例である。

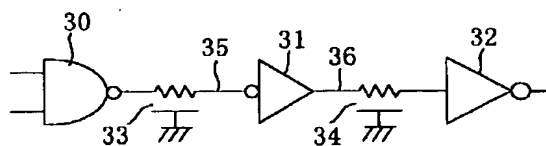
【符号の説明】

1. 1A 信頼性ライブラリ生成装置
- 2 セル遅延劣化推定手段
- 3 信頼性モデル
- 4 回路信頼性シミュレータ
6. 6A 信頼性ライブラリ
- 8a 入力信号の立上り立下り時間
- 9a 出力負荷容量
- 10a 入力信号のスイッチング回数
- 11 セル遅延劣化度合
- 12, 12A, 12B 遅延計算機
- 15, 15A 論理シミュレータ
- 18, 18A LSIタイミング劣化推定手段
- 20 回路セル
- 21 入力端子
- 22 出力端子
- 61 電源電圧
- 62 温度
- 71 タイミングチェック値劣化推定手段
- 72 タイミングチェック値劣化度合

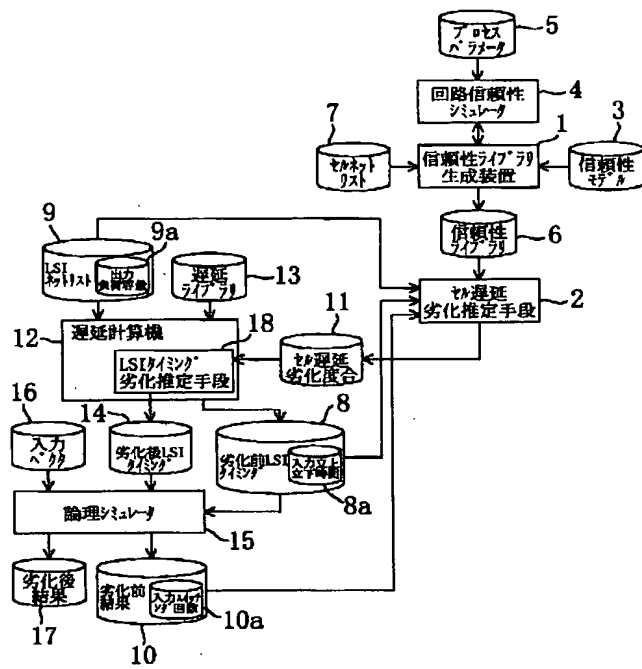
【図3】



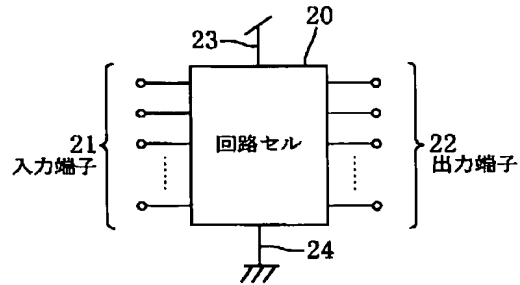
【図5】



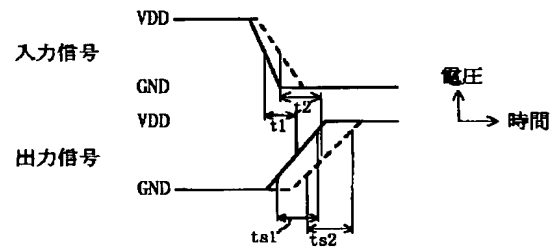
【図1】



【図2】



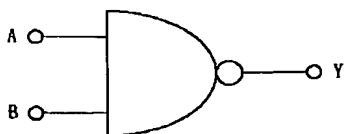
【図8】



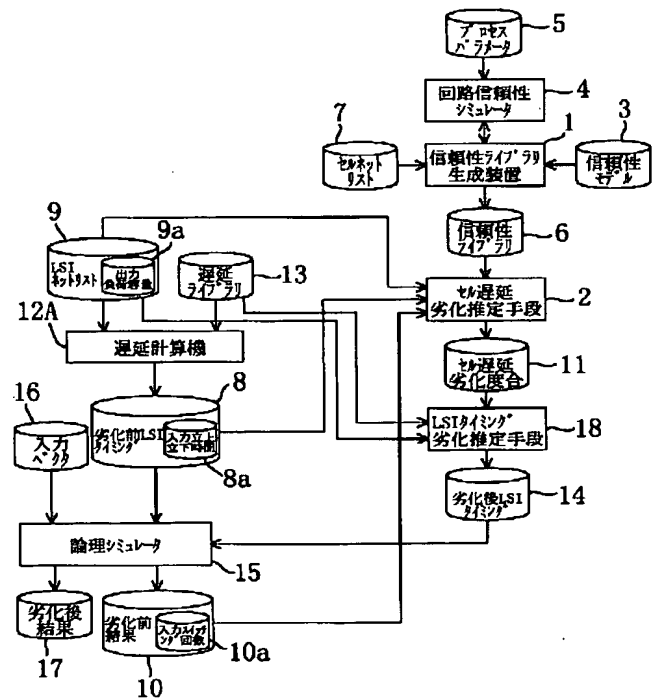
【図4】

入力信号スイッチング回数(回)	入力信号立ち上がり時間(nS)	出力負荷容量(fF)	遅延劣化量(nS)
10^{13}	0.1	10	0.01
		100	0.05
		1000	0.1
		10000	0.2
	1.0	10	0.04
		100	0.1
		1000	0.2
		10000	0.4
	10.0	10	0.07
		100	0.15
		1000	0.4
		10000	0.7
10^{14}	0.1	10	0.02
		100	0.07
		1000	0.15
		10000	0.3
	1.0	10	0.05
		100	0.15
		1000	0.3
		10000	0.6
	10.0	10	0.1
		100	0.2
		1000	0.6
		10000	1.0
...

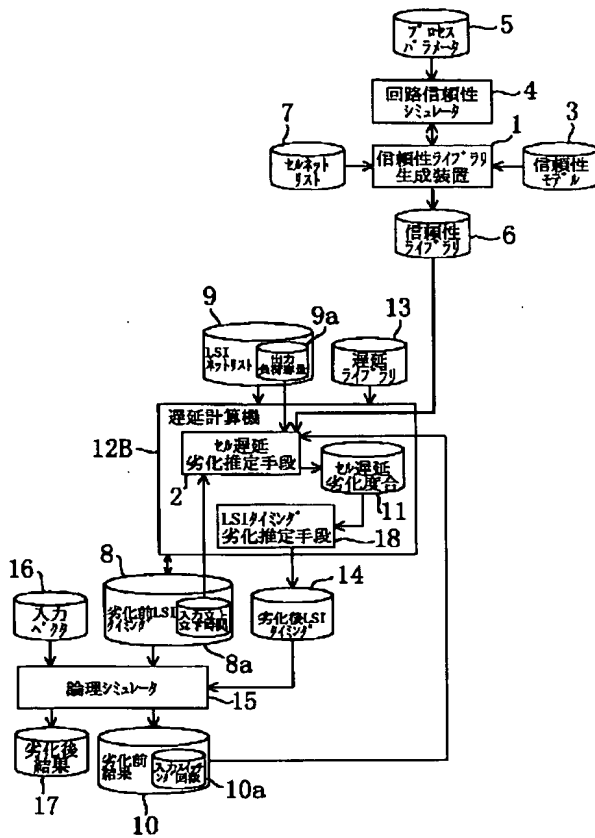
【図14】



【図6】



【図7】



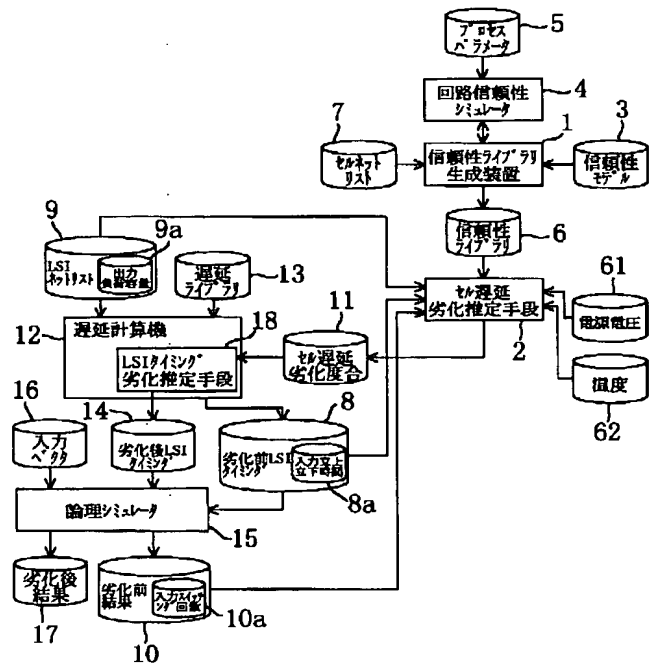
【図10】

入力信号スイッチング回数(回)	入力信号立ち上がり時間(nS)	出力負荷容量(fF)	遅延劣化比
10 ¹³	0.1	10	1.01
		100	1.02
		1000	1.03
		10000	1.05
	1.0	10	1.02
		100	1.03
		1000	1.05
		10000	1.07
	10.0	10	1.03
		100	1.04
		1000	0.06
		10000	1.09
10 ¹⁴	0.1	10	1.02
		100	1.03
		1000	1.05
		10000	1.08
	1.0	10	1.03
		100	1.05
		1000	1.07
		10000	1.10
	10.0	10	1.05
		100	1.07
		1000	1.10
		10000	1.12
...

【図9】

入力信号スイッチング回数(回)	入力信号立ち上がり時間(nS)	出力負荷容量(fF)	出力信号立ち下り時間劣化量(nS)
10 ¹³	0.1	10	0.01
		100	0.052
		1000	0.1
		10000	0.2
	1.0	10	0.04
		100	0.1
		1000	0.22
		10000	0.4
	10.0	10	0.07
		100	0.15
		1000	0.41
		10000	0.7
10 ¹⁴	0.1	10	0.02
		100	0.07
		1000	0.15
		10000	0.3
	1.0	10	0.05
		100	0.15
		1000	0.35
		10000	0.6
	10.0	10	0.1
		100	0.23
		1000	0.56
		10000	1.0
...

【図11】



【図12】

電源電圧 (V)	入力信号スウィッチング回数 (回)	入力信号立ち上がり時間 (ns)	出力負荷容量 (fF)	遅延劣化量 (ns)
3.3	10 ¹³	0.1	10	0.01
			100	0.05
			1000	0.1
			10000	0.2
		1.0	10	0.04
			100	0.1
			1000	0.2
			10000	0.4
		10.0	10	0.07
			100	0.15
			1000	0.4
			10000	0.7
	10 ¹⁴	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.3
		1.0	10	0.05
			100	0.13
			1000	0.4
			10000	0.6
		10.0	10	0.1
			100	0.2
			1000	0.5
			10000	1.0

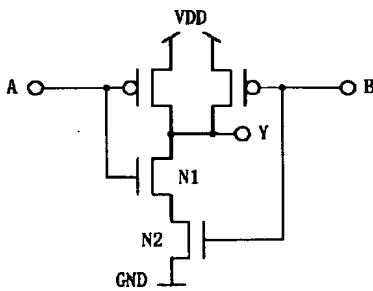
3.6	10 ¹³	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.32
		1.0	10	0.05
			100	0.17
			1000	0.3
			10000	0.65
		10.0	10	0.1
			100	0.21
			1000	0.5
			10000	1.03
	10 ¹⁴	0.1	10	0.04
			100	0.10
			1000	0.22
			10000	1.42

【図13】

温度 (°C)	入力信号スウィッチング回数 (回)	入力信号立ち上がり時間 (ns)	出力負荷容量 (fF)	遅延劣化量 (ns)
27	10 ¹³	0.1	10	0.01
			100	0.05
			1000	0.1
			10000	0.2
		1.0	10	0.04
			100	0.1
			1000	0.2
			10000	0.4
		10.0	10	0.07
			100	0.15
			1000	0.4
			10000	0.7
	10 ¹⁴	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.3
		1.0	10	0.05
			100	0.15
			1000	0.3
			10000	0.6
		10.0	10	0.1
			100	0.2
			1000	0.5
			10000	1.0

-20	10 ¹³	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.32
		1.0	10	0.05
			100	0.17
			1000	0.3
			10000	0.65
		10.0	10	0.1
			100	0.21
			1000	0.5
			10000	1.03
	10 ¹⁴	0.1	10	0.04
			100	0.10
			1000	0.22
			10000	1.42

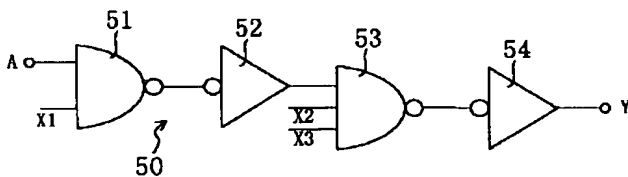
【図15】



【図16】

		入力信号Aスウィッチング回数 (回)		
		10 ¹³	10 ¹⁴	10 ¹⁵
入力信号Bスウィッチング回数 (回)	10 ¹³	table1 (Tis, Cl)	table2 (Tis, Cl)	table3 (Tis, Cl)
	10 ¹⁴	table4 (Tis, Cl)	table5 (Tis, Cl)	table6 (Tis, Cl)
	10 ¹⁵	table7 (Tis, Cl)	table8 (Tis, Cl)	table9 (Tis, Cl)

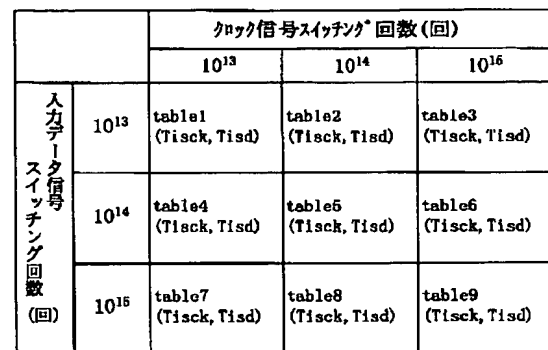
【図17】



【図19】

Tisck (ns)	Tisd (ns)	セットアップ時間 (ns)
0.1	0.1	0.9
	1.0	1.5
	10.0	3.0
1.0	0.1	0.6
	1.0	1.0
	10.0	2.5
10.0	0.1	0.4
	1.0	0.8
	10.0	2.0

【図 20】



(a)

(b)

Tisck (nS)	Tied (nS)	セットアップ 時間の劣化量 (nS)
0.1	0.1	0.7
	1.0	0.8
	10.0	0.9
1.0	0.1	1.0
	1.0	1.1
	10.0	1.2
10.0	0.1	1.3
	1.0	1.4
	10.0	1.5